

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11) Publication

number:

(43) Date of publication of application:

25.04.2000

1020000022698 A

(21) Application number: 1019990032898

(71) Applicant:

INTERNATIONAL
BUSINESS MACHINES
CORPORATION

(22) Date of filing: 11.08.1999

(72) Inventor:

ECONOMICOS REIERTIS
PARK, BYEONG JU

(30) Priority: 28.09.1998 US 98 162100

(51) Int. Cl

H01L 27/108

(54) METHOD FOR FORMING TRENCH CAPACITOR WITHIN TRENCH HAVING HIGH ASPECT RATIO AND TRENCH CAPACITOR

(57) Abstract:

PURPOSE: A method for forming trench capacitor within high-aspect-ratio trench and a trench capacitor are provided to completely fill a deep trench.

CONSTITUTION: A method for forming trench capacitor within a high-aspect-ratio trench comprises (a) a step depositing a filling layer(30') on top surface of a wafer and trenches(10,10'), and (b) a step heat-treating the filling layer under the temperature more than melting point of the filling layer and less than melting point of the wafer. The filling layer consists of material among group consisted of germanium and silicon-germanium alloy. On the top of the filling layer, a cap layer(36) is deposited between the steps(a,b).

COPYRIGHT 2000 KIPO

Legal Status

Date of final disposal of an application (20010928)

Patent registration number (1003131840000)

Date of registration (20011017)

BEST AVAILABLE COPY

특 2000-0022698

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/108	(11) 공개번호 특2000-0022698 (43) 공개일자 2000년 04월 25일
(21) 출원번호 10-1999-0032698	
(22) 출원일자 1999년 08월 11일	
(30) 우선권주장 9/162,100 1998년 09월 28일 미국(US)	
(71) 출원인 인터내셔널 비지нес 머신즈 코포레이션 포만 제프리 엘	
(72) 발명자 미국 10504 뉴욕주 마운크 에코노미코스레이머티스	
(74) 대리인 미국 12590 뉴욕주와링거스풀스레이크오녀드드라이브 58 김창세, 김원준, 장성구	

설사경구 : 있음

(54) 높은 종횡비를 갖는 트렌치내에 트렌치 캐파시터를 만드는 방법 및 이 방법에 따라 제조된 트렌치 캐파시터

요약

기판과, 이 기판에 형성된 트렌치와, 이 트렌치를 완전히 메우는 도전성 도핑된 게르마늄 혹은 실리콘-게르마늄 합금 충전재를 포함하는 트렌치 캐파시터가 개시된다. 이 캐파시터를 만드는 공정은 도전성 도핑된 게르마늄이나 실리콘-게르마늄 합금을 트렌치 혹은 기판상의 충진층에 침착(depositing)시키고, 웨이퍼는 용융되지 않으면서 충진층은 용융되어 완전히 트렌치속으로 흘러들어갈 정도의 온도로 머닐링하는 것을 포함한다. 또한 이 공정은 충진층의 산화를 방지하기 위해 이 충진층의 상부에 실리콘 캡 층을 침착시키는 것을 포함한다. 트렌치는 하나 이상의 완충층(a buffer layer)과 금속층을 더 포함할 수 있고, 또한 트렌치 벽과 충전재 사이에 열 흡력 감소층(a thermal-stress reduction layer)을 더 포함할 수도 있다.

도표도

도 3

도면서

도면의 간접적 설명

도 1은 증래의 수직 트렌치가 메워지기 이전의 개략적인 단면도,
 도 2는 최초의 충진층 및 캡 층의 침착 이후, 트렌치의 중심에 생긴 보이드를 예시하는 트렌치의 개략적인 단면도,
 도 3은 충진층을 가열한 이후의 도 2에 도시된 트렌치의 개략적인 단면도,
 도 4는 병모양의 트렌치가 메워지기 이전의 개략적인 단면도,
 도 5는 충진층과 캡 층의 침착 이후, 트렌치내에 생긴 보이드를 예시하는 도 4의 병모양 트렌치의 개략적인 단면도,
 도 6은 충진층을 가열한 이후, 완충층과, 금속층과, 충진층과, 캡 층을 갖는 병모양 트렌치의 개략적인 단면도.

도면의 주요 부분에 대한 부호의 설명

10, 10' : 트렌치	12 : 기판
24, 24' : 노드 유전층	30' : 충진층
36 : 캡 층	55 : 완충층
56 : 금속층	

발명의 실체를 설명

발명의 특징

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기판내의 트렌치를 메우는(filling) 방법에 관한 것으로, 더 구체적으로는 높은 증횡비(aspect ratio)를 가지면서 보이드없이 잘 메워진 딥 트렌치 캐파시터(void-free fill of deep trench capacitor)를 만드는 방법에 관한 것이다.

모노리식 절적 회로 기술에서, 캐파시터는 흔히 볼 수 있는 소자이다. 다이내믹 랜덤 액세스 메모리(DRAM) 칩에서는 각각이 전계 효과 트랜지스터(FET)와 연계되어 있는 대량의 캐파시터가 요구된다. 메모리 용량을 추가시키려고 할수록 캐파시터를 더 고밀도로 실장(pack)해야 할 필요성도 증가한다. 본래의 평면 캐파시터 설계는 칩 표면상에 캐파시터를 형성하는 것인데, 이것은 하나의 캐파시터당 너무 많은 칩 표면을 점유한다. 실리콘 웨이퍼내의 트렌치에 캐파시터를 형성하는 캐파시터 설계는 캐파시터의 고밀도화를 허용하며, 이러한 캐파시터 설계가 향후의 추세이다.

그러나, 트렌치 캐파시터는 흔히 40:1 이상으로 매우 높은 증횡비를 갖는 깊고 좁은 트렌치를 요구한다. 틀상, 트렌치 캐파시터는 트렌치 변상에 유전층을 침착(depositing)하고, 도핑된 폴리실리콘 층으로 이 트렌치를 메워 상부 캐파시터 플레이트를 형성함으로써 트렌치내에 형성된다. 도핑된 실리콘 트렌치 벽 영역은 하부 캐파시터 플레이트를 형성한다.

4:1 이상의 증횡비를 갖는 트렌치 캐파시터는 일반적으로 높은 증횡비를 갖는 것으로 간주된다. 딥 트렌치의 증횡비가 10:1을 초과할수록 트렌치를 메우는 것이 점점 더 어려워진다. 트렌치의 상부에는 침착이 더 많이되는 경향이 있으므로, 트렌치의 하부에 대한 반응 물질(reactants)의 확산을 차단시키게 되어, 흔히 충진률내에 보이드를 형성하는 결과를 초래한다. 이러한 보이드는 매립 플레이트 작성을 저항을 증가시킨다. 일단 트렌치가 실리콘으로 메워지면, 추가의 공정으로는 보이드가 사라지지 않는다. 사실상, 보이드는 웨이퍼가 다양한 어닐링 사이클을 거치면서 더 커질수도 있는데, 특히 비결정 실리콘 충진재(amorphous silicon fill)일 경우 더 심해진다.

거의 직각형인 단면을 갖는 트렌치뿐만 아니라, 트렌치의 바닥쪽보다 상부의 개구가 더 좁은 병모양의 단면을 갖는 트렌치 구조도 이용된다. 이러한 병모양 트렌치(bottle-shaped trenches)를 한번의 침착 단계로 완전히 메운다는 것은 이론적으로 불가능하다.

트렌치 구조를 더 완벽하게 메우기 위해, 침착 온도를 낮추어 실시해왔는데, 이럴 경우, 침착 속도가 감소되고 그 처리 시간도 더 길어진다. 여러분의 침착 단계가 필요할 수도 있는데, 특히 병모양 트렌치인 경우, 트렌치의 상부를 재개방(re-open)하기 위해 침착 단계 사이에 예상 단계를 포함하여, 추가의 충진재(fill material)가 트렌치 속으로 침투되도록 한다. 이러한 여러분의 침착 단계는 공정 순서를 복잡하게 만든다.

따라서, 이러한 딥 트렌치나 혹은 특수한 형상의 트렌치를 메우기 위한 더 실용적인 방법이 요구된다.

발명이 이루고자 하는 기술적 효과

그러므로, 본 발명의 목적은 실리콘 웨이퍼에 높은 증횡비를 갖는 트렌치에 트렌치 캐파시터를 만드는 공정을 제공하는 것이다. 이 트렌치는 개구부(opening)와, 대향하는 측벽들과, 상부와, 하부와, 바닥을 갖는다. 실리콘 웨이퍼는 최상부 표면을 갖는다. 이 공정은 다음의 단계들, 즉,

a) 웨이퍼의 최상부와 트렌치속에 충진층(a fill layer) – 미 충진층은 게르마늄과 실리콘-게르마늄 합금으로 구성된 그룹(group)에서 선택된 재료로 이루어짐 –를 침착시키는 단계와,

b) 충진층 재료의 산화를 막으면서, 충진층 재료의 용융 온도 이상이면서 웨이퍼 용융 온도 이하인 소정 온도로 충진층 재료를 덜처리하는 단계를 포함한다.

이 공정은 또한 병모양 트렌치처럼 특수한 형상의 트렌치를 메우는데 적용 가능하다. 비록 본 공정이 트렌치 캐파시터를 만드는데 특히 유용하지라도, 캐파시터 트렌치의 증횡비에 필적할 만한 증횡비를 갖는 트렌치들이 콘택트 비아로서 이용될 경우 이를 트렌치를 메우는 데에도 유용하다. 이러한 모든 적용에 있어서, 게르마늄 혹은 실리콘-게르마늄 합금은 요구되는 낮은 저항률을 제공하기 위해 도핑된다.

본 공정은 충진층이 대기(ambient air)에 노출되는 것을 막기 위해 진공이나 비활성 기체 분위기에서 수행되는 것이 가장 바람직하다. 더 바람직하게는, 본 공정이 단계 (a)의 다음에, 전술한 노출을 피할 수 있도록 충진층의 상부에 캡 층(a cap layer)을 침착하는 단계를 더 포함하는 것이다. 이러한 캡 층은 실리콘으로 이루어진 층이다.

본 공정은 높은 증횡비를 가지면서 수직인 벽을 갖거나 병모양인 트렌치 구조를 게르마늄 및 실리콘-게르마늄 합금으로 이루어진 그룹(group)에서 선택된 충진재로 완벽하게 메울 수 있게 한다. 충진재는 도전성 물질로 도핑된다. 이 트렌치는 완충층(a buffer layer)과 금속층 및/또는 열 응력 감소층(a thermal-stress-reduction layer)을 더 포함할 수도 있다.

BEST AVAILABLE COPY

제작의 구성 및 쪽을

본 설명은 첨부 도면을 참조하여 미술의 상세한 설명으로부터 더 잘 이해될 것이다. 본 도면들의 여러 특징부들은 그림들이 축소되거나 압축되는 경우를 강조하는 바이다. 오히려, 여러 특징부들의 차수는 명확성을 위해 암시로 확대 혹은 축소되었다.

이제, 도면을 참조하면, 모든 도면에서 동일한 참조 번호는 동일한 구성 요소를 나타낸다. 도 1은 예컨대 에피택 실리콘 기판 웨이퍼와 같은 소정의 기판(12)에 형성된 증래의 수직 트렌치(10)를 도시하며, 트렌치 캐페시터를 만드는데 이용되는 전형적인 트렌치이다. 이러한 트렌치는 일반적으로 포트리소그래피 마스크를 이용해 예정된 영역을 규정(def ine)하고 반응성 이온 에칭(RIE)을 이용하거나 혹은 기판(12)의 소정 부분을 소정의 깊이로 예정하는 당업계에서 공지된 몇몇 다른 공정을 이용함으로써 기판내에 형된다. 트렌치는 이 트렌치가 기판으로 첨두한 부분에 해당하는 개구부(14)와, 상단부(16)와, 하단부(18)와, 대량하는 측벽들(20)과, 바닥부(21)를 포함한다. 비록 대량하는 측벽들(20)이 거의 평행한 것이 대부분이지만, 트렌치의 상부나 하부를 허용 점점 감소하는 것일 수도 있다.

트렌치 캐페시터에 적용될 경우, 트렌치를 예정하기 전에, 패드 층(22)이 실리콘 기판(12)의 최상부 표면(11)상에 형성될 수도 있다. 패드 층(22)은 절화물이나 산화물, 혹은 이들의 조합으로 이루어진다. 전형적으로, 트렌치 예정 공정 이후에, 혹은 트렌치 예정 공정과 연계하여, 트렌치 상단부(16)에는 절연 릴라 층(an insulating collar layer)(23)이 형성되고, 트렌치 하단부(18)에는 노드 유전층(a node dielectric layer)(24)이 형성된다.

전형적으로, 칼라 층(23)은 트렌치 속으로 약 0.5 내지 2.0 마이크론으로 펴져 있으며(extends), 어떤 경우에는 웨이퍼의 활성 영역에 있는 어떤 전기 구조들로부터 트렌치의 내부를 분리시키기에 충분할 정도의 거리로 펴져 있다. 트렌치의 층 깊이는 원하는 캐페시터 사양에 의해 결정되며, 적절한 캐페시터스를 보장할 정도의 깊이를 갖는다. 특히 이 깊이는 약 8 마이크론을 뜻한다. 트렌치 개구부의 폭은 거의 200 μ 미하 정도에서, 트렌치 폭 대 깊이의 종횡비(a trench width-to-depth aspect ratio)는 종종 40 이상이 된다. 그러나, 특정 응용에서는 더 낮은 종횡비가 이용될 수도 있다.

이제 도 2를 참조하면, 도 2에는 충진재가 침착된 후의 트렌치의 개략적인 단면도가 도시되어 있다. 공정이 진행중인 이 트렌치는 높은 종횡비를 갖는 딥 트렌치에서 충진재의 침착 물과로 흔히 생기는 비랑착하지 않은 보이드(34)를 갖는다. 전형적으로, 트렌치 캐페시터의 형성과 같은 응용에서 이전에 이용되었던 충진재는 α -실리콘이나 혹은 다결성 실리콘이다. 본 발명에 따르면, 충진재(30')는 순수한 게르마늄이나 실리콘-게르마늄 합금으로 이루어진다. 충진재는 도 2에 도시된 것처럼, 패드층(22)의 최상부면상에 침착되고, 또한 트렌치 측벽들(20)과 바닥부(21)상에(이 경우는 칼라 층(23)과 유전 노드층(24)의 노출 표면상에) 침착된다.

게르마늄이나 혹은 $Si_{x}Ge_{1-x}$ 충진재는 전형적으로 당업계에서 잘 알려진 화학 기상 성장(CVD) 공정으로 침착된다. 순수 게르마늄의 침착은 배치로(a batch furnace)에서 H_2 혹은 Ar 캐리어 가스 분위기에서 정상 상태 침착 속도가 20 A/min , 내지 80 A/min 이 되도록, 0.2 Pa 내지 12 Pa의 GeH_4 부분압으로 350°C의 침착 온도에서 저압 CVD(LPCVD)를 이용해 이루어지는데, 이것은 코바야시 등(Kobayashi et al.)의 저서 "J. Crystal Growth", pp. 686-90(1997)에 기술되어 있다. 그 밖의 반응성 게르마늄 가스들이나 혹은 다른 게르마늄 또는 $Si_{x}Ge_{1-x}$ 성장 공정들이 채용될 수 있다. 이 단계에서는 큰 보이드가 허용 가능하므로 환전 충진이 중요하지 않다.

침착 온도, 압력, 가스 흐름들을 조절하여, 공정을 조정함으로써, 침착 속도 혹은 미립자 제공(particulate performance)이 최적이 되도록 할 수 있다. 한 번의 단계로 트렌치를 게르마늄으로 적당히 덮기위한 LPCVD 반응로(Furnace) 공정의 전반적인 처리 범위는 일반적으로 0.01-30 Pa의 GeH_4 부분압에서 300-500°C이다. 550-800°C의 온도로 침착시키는 것도 가능하지만, 균일한 침착이 이루어지지 않을 수도 있다. 침착이 균일하게 이루어지면 도움이 되겠지만, 본 발명에 따른 공정에서는 미 단계에서 보이드를 예우는 것이 필요치 않으므로, 침착이 반드시 균일하게 이루어져야 하는 것은 아니다.

단일 웨이퍼 처리 공정이 이용될 경우, 600°C이하의 고온과 고속의 유압을 설정(setting)하여 이용하는 것도 침착을 고속으로 성취하기 위해 가능하다. GeF_4 같은 대체 가스 공급원도 300-500°C 온도 범위에서 이용 가능하는데, 이것은 야마모토 등(Yamamoto et al.)에 의해 "AppI. Phys. Lett.", 63(18), 3508 (1993)에 기술되었다.

실리콘-게르마늄 합금을 침착시키는 경우, 전술한 공정에서 동시에 SiH_4 가 흐르도록 추가하면 된다. SiH_4/GeH_4 비율을 조정하거나 그 밖의 공정 파라미터들을 변경함으로써, 합금에 포함되는 실리콘의 양을 제어할 수 있게 되는데, 이를 통해 합금의 용융 온도를 제어할 수 있다. 침착 온도가 620-780°C이고 $x=0.9$ 인 $Si_{0.9}Ge_{0.1}$ 합금의 침착이 구 등(Gu et al.)에 의해 "J. AppI. Phys.", 75(10), 5382 (1994)에 기술되어 있다. 미 공정을 이용하거나, 혹은 최초 침착이 균일하게 되도록 개선하기 위해 미 공정을 저온에서 실행함으로써, 전술한 합금을 침착시킬 수 있다.

침착된 게르마늄이나 $Si_{x}Ge_{1-x}$ 합금은 전기적으로 도전성 경로를 형성하는 소정의 도편트(예를 들면, As, P 혹은 B)로 도핑되어야 한다. 반응성 가스 공급원이 예컨대 GeH_4 같은 수소화물(hydride)일 경우, H_2 캐리어 가스 분위기에서 예컨대 AsH_3 , PH_3 , 혹은 B_2H_6 같은 도편트 가스가 이용될 수 있다. 선택적 실시예로서, 층형 도핑 공정(a layered doping process)이 이용될 수도 있는데, 이 때 도편트 가스와 반응 가스는 번갈아 사용되고, 가스가 교체되는 동안 반응 햄버는 기준압으로 만든다.

도 2에 도시된 바와 같이, 결과적으로 만들어진 충진층은 트렌치(10)의 상부 영역에 균열(32)을 갖는데, 이 충진층의 상단부 표면은 한쪽은 측벽증 하나와, 다른쪽은 반대편 측벽과 각각 만나고, 트렌치 내부에는 보이드(34)가 존재한다. 침착된 게르마늄이나 $Si_{x}Ge_{1-x}$ 합금 충진재(30')의 두께는 바람직하게는 트렌

기의 대구가 뒤를 끌 정도로 선택되는데, 충분한 양의 충진재가 트렌치 보이드(34)로 흘러들어가서 C 보이드를 완전히 메우도록 하는 것도 가능하다.

충진재(30')의 최상부에는 비결정 실리콘이나 다결정 실리콘으로 된 캡 층(36)이 담업계에서 잘 알려진 공정으로 인-사이트(in-situ) 침착된다. 캡 층은 게르마늄이나 실리콘 게르마늄 합금 표면이 노출되어 이후의 고온 처리 단계에서 산화되는 것을 막아준다. 선택적으로, 본 공정이 진공중에서 수행되거나, 혹은 비활성 기체 분위기에서 저온으로 수행되는 것도 가능한데, 이 경우에는 캡 층이 필요치 않다. 침착된 캡 층은 일반적으로 약 300 Å 이상의 두께를 갖는데, 이것은 게르마늄 충진재의 산화를 막기 위해 충분한 두께이며, 확산 차단벽(a diffusion barrier)의 역할을 수행한다. 반복적하게는, 침착 온도를 500-550 °C 범위로 하며 오로지 비결정 실리콘만 발생도록 하고 입자의 발생률을 줄일 수도 있다.

일단 충진재(30')와 캡 층(36)이 형성되면, 웨이퍼는 충진재(30')로 이용된 게르마늄 혹은 특정 Si,Ge, 합금의 용융점이나 혹은 이 용융점보다 약간 높은 온도로 머닐링된다. 이 머닐링 단계에 의해 충진재(30')는 용융되고, 중력에 의해 이 용융층은 트렌치(10)내에 존재하는 보이드로 유입된다. 본 공정은 충진재가 트렌치내로 쉽게 출진되도록 압력을 높여 수행할 수도 있다. 산화를 막을 뿐만 아니라 실리콘으로 이루어진 캡 층은 또한 용융된 게르마늄 혹은 실리콘-게르마늄 합금에 대해 보호 덮개로서의 기능을 하며 용융액이 보이드내로 유입되어 웨이퍼를 빠져 나가지 못하도록 한다.

충진재(30')를 열처리하는 것은 웨이퍼 전체를 가열하는 것처럼 간접적으로 행할 수도 있고, 혹은 직접적으로 행할 수도 있다. 직접 열처리는 예컨대 XECL 엑시머 레이저 빔 같은 접속 레이저 빔을 이용해 트렌치내의 충진재(30')를 가열하여 이루어질 수 있다. 재료를 국부적으로 가열하는데 필요한 레이저 빔과 광학은 당업계에서 잘 알려져 있으므로, 더 이상 설명하지 않는다.

이제 도 3을 참조하면, 도 3에는 도 2의 증래의 수직 트렌치(10)가 보이드가 존재하지 않도록 완전히 메워졌을 때의 개략적인 단면도가 도시되어 있다. 충진재(30')는 트렌치(10)를 완전히 메우는 균일한 층을 이루고 있으며, 보이드나 균열은 존재하지 않는다. 충진재(30')는 보이드(34)를 메우기 위해 트렌치속으로 이동하였기 때문에 기판 최상부 표면(11)상에서 그 두께가 약간 감소되었다. 그러나 이 층은 추후에 폐기되기 때문에 이러한 두께의 감소는 중요치 않다. 충진재의 용융 및 유입 단계(melt-flow step) 이후, 예를 들어 화학 기계적 연마(CMP) 혹은 RIE 같은 증래의 임의의 공정을 이용해 불필요한 재료를 제거(etch back)할 수 있다.

Si,Ge, 합금의 조성비는 적당한 용융 및 유입이 보장되도록, 그리고 실리콘 캡 층과 합금 층의 혼합(mixing)이 봉쇄되도록 선택되어져야 한다. 합금에서 게르마늄 원자 백분율의 실제 범위는 100%(순수 게르마늄일 경우) 내지 약 33% 사이이다. 머닐링 단계는 미 합금의 용융점이나 혹은 용융점보다 약간 높게 실행된다. 더 높은 온도는 게르마늄 혹은 합금층과 실리콘 캡 층의 혼합률을 증가시켜, 잠재적으로 캡 층의 파열(a breach)을 초래한다. 그러므로, 용융은 표 1에 도시된 합금의 용융점 온도, 혹은 그보다 약간 높은 온도로 실행된다. 웨이퍼에 대한 차후의 열처리 사이클에 따라, 트렌치 내부의 재료가 공정 시퀀스내내 안정할 수 있도록 합금의 조성비(결과적으로 용융 온도)가 최적화된다.

[표 1]

Ge 원자 백분율	Si 원자 백분율	용융 온도 (°C)
100 %	0 %	938.4
90 %	10 %	967
80 %	20 %	998
70 %	30 %	1027
60 %	40 %	1063
50 %	50 %	1104
40 %	60 %	1170
33 %	67 %	1200

충진재(30')가 캡 층(36)과 다소 혼합되는 것이 용융 과정동안 발생할 것이다. 실리콘 성분이 충분히 존재할 수 있도록 충진재와 캡 층의 두께를 조절함으로써, 그리고 용융 온도를 게르마늄이나 Si,Ge, 합금의 용융 온도에 근접 유지시킴으로써 이러한 혼합이 조절될 수 있고, 결과적으로 머닐링 단계가 종료되어도 최상부 표면상에는 순수 실리콘이 남아있게 된다. 실리콘은 그 하부의 충진층의 산화를 막는 보호막으로서 작용하며, 이러한 보호막은 이후의 웨이퍼 처리를 고려할 때 반드시 필요하다.

CMP 또는 RIE같은 임의의 증래의 공정 기법은 용융-유입 공정 이후에 불필요한 재료를 제거하는데 이용될 수 있다. 처리 온도가 미 합금의 용융 온도를 초과하지 않는 이상, 최종 구조에서의 합금은 후속 열처리 공정동안 안정(stable)하다.

이제 도 4를 참조하면, 도 4에는 기판(12)에 병모양의 트렌치(10') 형태로 존재하는 또 다른 트렌치의 실시예를 도시한다. 트렌치(10')는 패드 층(22)에 형성된 개구부(14)와, 상단부(16)와, 칼라 층(23)을 갖는데, 이것은 모두 도 1에 도시된 증래의 수직 트렌치(10)와 유사하다. 그러나, 병모양 트렌치(10')는 자신의 상단부(16)보다 하단부(18')의 축벽들(20')간 간격이 더 크며, 바닥부(21')도 더 넓다. 대응하는 노드 유전층(24')도 축벽(20')의 모양과 일치하도록 되어 있다. 이러한 트렌치의 형성은 전형적으로 수직 트렌치의 경우보다 더 많은 공정 단계를 수반하게 되는데, 예를 들면, 상단부(16)의 축벽이나 병의 부분(neck)이 예상되지 않도록 미 부분에 예상 차단벽을 만들고 하단부(18')에 대해 추가로 등방성 예상을 수행하는 것과 같은 단계를 수반하게 된다.

이제 도 5를 참조하면, 도 5는 충진물(30')과 캡 층(36')의 침착 이후에 또 다른 실시예인 도 4의 병모양

트렌치(10')가 드 1 내지 도 3에 도시된 수직 트렌치와 유사한 요소들을 갖는 것을 도시한다. 병모양 트렌치(10')의 하단부(18')는 수직 트렌치(10')의 하단부(18')에 비해 더 넓고, 보이드(34')의 크기 역시 더 크다. 그러므로, 용융 이후 기판(12)의 최상부 표면(11)상에서의 충진층(30')의 두께 변화도 더 크며, 보이드를 메우기 위해서는 더 많은 충진재가 필요하다.

또다른 실시예에서, 도 6에 도시된 것처럼, 게르마늄이나 Si, Ge, 합금의 용융 및 유입 특성은 트렌치 내부의 도전성을 증가시키기 위해 금속층들을 구비하는 소정 트렌치에 대해 충진률로서 미용될 수 있다. 도 6을 참조하면, 도 6에는 전술한 것과 같은 출출률을 트렌치(10')내에 구비하는 도 4의 병모양 트렌치(10')가 도시되어 있다. 퀼란 층(23)과 노드 유전층(24')이 형성된 후, 완충층(55)이 형성되어, 이후의 금속층과 노드 유전층 사이의 직접적인 접촉을 막아준다. 완충재는, 균일한 첨착이 이루어져서 트렌치 영역 전반에 걸쳐 최소 약 100 Å의 미격 간격을 제공할 수만 있다면, 비결정 실리콘, 다결정 실리콘, 게르마늄 또는 실리콘-게르마늄 합금일 수 있다. 완충층은 As, P 또는 B로 도핑되어 전기 도전성이 보강될 수도 있다.

다음, 금속층(56)이 첨착되는데, 바람직하게는 반도체 업계에서 잘 알려진 블랭킷 텁스텐 CVD(blanket tungsten CVD) 공정같은 CVD 공정에 의해 첨착된다. 금속층의 균일성과 연속성을 가능한 최대로 제공하기 위해서는 CVD 공정을 이용하는 것이 바람직하지만, 막(film)에 다소간의 불연속성이 존재하는 아주 균일한 PVD 공정을 이용할 수도 있다. 이 단계 이후, 비록 암이 균일하지 않더라도 트렌치 내의 금속층이 연속적이기만 하면, 트렌치의 도전성은 이러한 금속의 존재로 인해 10의 수 제곱배로 감소할 것이다. 이런 목적으로는 약 200 Å 이상의 금속층이면 충분하다.

다음, 전술한 바와 같이 충진재(30')와 캠 층(36')이 제공되고, 보이드를 제거하기 위해 게르마늄 혹은 Si, Ge, 합금을 용융 및 유입시키는 멀릴링 단계가 실행된다. 마찬가지로, 충진하기 전에 완충층과 금속 층을 만드는 것은 도 1의 수직 트렌치 실시예의 경우에도 수행 가능하다.

실리콘과 게르마늄은 상이한 열 팽창 계수를 가지므로(300 K일 때, 실리콘 = 4.68×10^{-6} , 게르마늄 = 6.1×10^{-6}), 특히 병모양 트렌치인 경우 이 트렌치를 메우는 데 충분한 양의 게르마늄이 이용되었다면, 고온에서의 일련의 열처리는 용력을 유발시킬 수 있다. 그러므로, 또다른 실시예에서, 게르마늄 충진전에 실리콘으로 만들어진 추가의 열 흡수층(an additional thermal-stress reduction layer)이 부가될 수도 있다. 이 층은 비결정 실리콘이나 다결정 실리콘으로 이루어질 수 있으며, 금속층과 완충층의 구비 여부와 무관하게 수직 트렌치 실시예나 병모양 트렌치 실시예에 부가될 수 있다.

도 1에 도시된 형태의 수직 트렌치 실시예에서, 충진재(30')의 첨착은 간단히 두 개의 단계로 나뉘어 질 수 있다. 제 1 단계는 비결정 혹은 다결정 실리콘 층의 첨착이고, 제 2 단계는 게르마늄 혹은 실리콘-게르마늄 합금 층의 첨착이다. 실리콘 층은 그 위치에 따라 100~600 Å의 범위내에서 두께가 변할 수 있다. 가장 중요한 것은, 실리콘 층의 첨착 이후에 개구부가 트렌치의 최상부에 존재해야만 게르마늄 혹은 실리콘-게르마늄 합금이 용융되는 동안 트렌치 속으로 유입될 수 있다는 것이다.

도 6에 도시된 형태의 금속층과 완충층을 갖는 트렌치 실시예의 경우, 실리콘 층을 부가하는데에는 세 가지 방법이 있다. 제 1 실시예로서, 실리콘 층이 완충층(55)의 제 1 부분층(a first sublayer)을 이루는 반면, 이 완충층(55)의 나머지 부분과 충진재(30') 전부는 게르마늄 혹은 실리콘-게르마늄 합금으로 이루어진다. 제 2 실시예로서, 완충층(55) 전체가 실리콘으로 이루어져서, 이 완충층 자체가 열 흡수층을 이루는 반면, 충진재(30') 전부는 게르마늄 혹은 실리콘-게르마늄 합금으로 이루어질 수 있다. 제 3 실시예로서, 완충층(55) 전체와 충진재(30')의 제 1 부분층이 실리콘으로 이루어지는 반면, 충진재(30')의 나머지 부분이 게르마늄 혹은 실리콘-게르마늄 합금으로 이루어질 수 있다.

여기서, 충진재(30')의 실리콘 부분층이 충분히 박막으로 이루어져야만, 트렌치의 최상부에 개구부가 충분히 확보되어, 게르마늄 혹은 실리콘-게르마늄 합금이 트렌치 속으로 용융 및 유입될 수 있다. 열 흡수층이 추가됨으로써, 트렌치내에는 더 많은 실리콘이 첨착되어, 기판과 충진재의 열 팽창 불일치를 줄여주게 된다.

비록 본 명세서에서는 특정 실시예를 참조하여 예시 및 설명되었을지라도, 본 발명이 이를 실시예에만 한정되는 것은 아니며, 오히려 본 발명의 사상을 벗어나지 않으면서 특히 청구의 범위와 그 등가물의 범주 및 범위내에서 상세한 설명에 대해 다양한 수정이 가능할 수도 있다.

요령의 효과

따라서, 본 발명에 따르면 딥 트렌치나 혹은 특수한 형상의 트렌치를 완전히 메울 수 있게 되며, 이에 따라 높은 종횡비를 갖는 트렌치 캐페시터를 효과적으로 제조할 수 있게 된다.

(57) 청구의 범위

청구항 1. 실리콘 웨이퍼내에 존재하는 높은 종횡비를 갖는 트렌치(a high-aspect-ratio trench)로서, 상기 트렌치는 개구부와, 대향하는 측벽들과, 상단부와, 하단부와, 바닥부를 구비하고, 상기 실리콘 웨이퍼는 최상부 표면을 구비하도록 되어 있는 상기 트렌치에 트렌치 캐페시터를 만드는 방법에 있어서,

③ 상기 웨이퍼의 상기 최상부 표면위와 상기 트렌치 속에 충진층-이 충진층은 게르마늄과 실리콘-게르마늄 합금으로 구성된 그룹(group)에서 선택된 재료로 이루어짐-을 첨착(depositing)시키는 단계와,

④ 상기 충진층 재료가 산화하는 것을 방지하면서, 상기 충진층 재료의 용융 온도 이상이면서 상기 웨이퍼의 용융 온도 미만인 소정 온도로 상기 충진층 재료를 열처리하는 단계를 포함하는

높은 종횡비를 갖는 트렌치내에 트렌치 캐페시터를 만드는 방법.

청구항 2. 제 1 항에 있어서,

상기 산화 방지 단계가 상기 험착 단계 ④와 상기 열처리 단계 ⑤ 사이에 상기 충진층의 최상부상에 캡 층을 험착시킴으로써 수행되는
높은 증횡비를 갖는 트렌치내에 트렌치 캐퍼시터를 만드는 방법.

청구항 3. 제 2 항에 있어서,

상기 캡 층이 비결정 실리콘과 다결정 실리콘으로 구성된 그룹에서 선택된 재료로 이루어지는
높은 증횡비를 갖는 트렌치내에 트렌치 캐퍼시터를 만드는 방법.

청구항 4. 제 2 항에 있어서,

상기 충진층을 As, P 및 B로 구성된 그룹에서 선택된 도편트로 도핑하는 단계를 더 포함하는
높은 증횡비를 갖는 트렌치내에 트렌치 캐퍼시터를 만드는 방법.

청구항 5. 제 3 항에 있어서,

상기 트렌치 하단부를 상기 험착 단계 ④를 수행하기 전에 노드 유전체로 피복하는 단계를 더 포함하는
높은 증횡비를 갖는 트렌치내에 트렌치 캐퍼시터를 만드는 방법.

청구항 6. 제 1 항에 있어서,

상기 산화 방지 단계가 진공(vacuum)하에서 상기 열처리 단계 ⑤를 수행함으로써 이루어지는
높은 증횡비를 갖는 트렌치내에 트렌치 캐퍼시터를 만드는 방법.

청구항 7. 제 1 항에 있어서,

상기 산화 방지 단계가 비활성 기체 분위기에서 상기 열처리 단계 ⑤를 수행함으로써 이루어지는
높은 증횡비를 갖는 트렌치내에 트렌치 캐퍼시터를 만드는 방법.

청구항 8. 제 1 항에 있어서,

상기 열처리 단계 ⑤가 가압 상태(under pressure)에서 실행되는
높은 증횡비를 갖는 트렌치내에 트렌치 캐퍼시터를 만드는 방법.

청구항 9. 제 1 항에 있어서,

상기 트렌치가 상기 하단부의 대향 측벽들이 상기 상단부의 대향 측벽들보다 더 많이 미격되어 있어 병모 양의 단면(a bottle-shaped cross-section)을 갖는
높은 증횡비를 갖는 트렌치내에 트렌치 캐퍼시터를 만드는 방법.

청구항 10. 제 1 항에 있어서,

상기 험착 단계 ④가 반응성 게르마늄 화합물 가스(a reactive germanium-compound gas)를 이용해 저압 화학 기상 성장법(UPCVD)으로 상기 충진층을 험착시키는 단계를 포함하는
높은 증횡비를 갖는 트렌치내에 트렌치 캐퍼시터를 만드는 방법.

청구항 11. 제 10 항에 있어서,

상기 반응성 게르마늄 화합물 가스는 GeH₆이고, 상기 험착 단계 동안에, AsH₃, PH₃ 및 B₂H₆로 구성된 그룹에서 선택된 화합물로 이루어진 도편트 가스와 상기 반응성 가스가 동시에 흐르도록 함으로써 상기 충진 층이 인-시튜(in-situ) 도핑되는
높은 증횡비를 갖는 트렌치내에 트렌치 캐퍼시터를 만드는 방법.

청구항 12. 제 9 항에 있어서,

상기 반응성 게르마늄 화합물 가스는 GeH₆이고, 상기 험착 단계 동안에, AsH₃, PH₃ 및 B₂H₆로 구성된 그룹

에서 선택된 화합물로 이루어진 도편트 가스와 상기 반응성 가스가 교대로 흐르도록 함으로써 상기 충진 흡미 다층으로 도핑되는
높은 종횡비를 갖는 트렌치내에 트렌치 캐페시터를 만드는 방법.

청구항 13. 실리콘 웨이퍼내에 존재하는 높은 종횡비를 갖는 트렌치(a high-aspect-ratio trench)로서, 상기 트렌치는 개구부와, 대향하는 측벽들과, 상단부와, 하단부와, 바닥부를 구비하고, 상기 실리콘 웨이퍼는 최상부 표면을 구비하도록 되어 있는 상기 트렌치에 트렌치 캐페시터를 만드는 방법에 있어서,

- ④ 상기 트렌치 하단부를 노드 유전체로 피복하는 단계와,
- ⑤ 상기 웨이퍼의 상기 최상부 표면위와 상기 트렌치속에 충진층-미 충진층은 게르마늄과 실리콘-게르마늄 합금으로 구성된 그룹(group)에서 선택된 재료로 이루어짐-을 침착시키고, 상기 충진층을 As, P 및 B로 구성된 그룹에서 선택된 도편트로 도핑하는 단계와,
- ⑥ 상기 충진층의 최상부에, 비결정 실리콘과 결정 실리콘으로 구성된 그룹에서 선택된 재료로 캡 층을 침착시키는 단계와,
- ⑦ 상기 충진층 재료의 용융 온도 이상이면서 상기 웨이퍼의 용융 온도 미만인 소정 온도로 가압 상태(under pressure) 혹은 진공 상태(in vacuum)에서 상기 충진층 재료를 열처리하는 단계를 포함하는 높은 종횡비를 갖는 트렌치내에 트렌치 캐페시터를 만드는 방법.

청구항 14. 실리콘 웨이퍼내에 존재하는 높은 종횡비를 갖는 트렌치(a high-aspect-ratio trench)로서, 상기 트렌치는 개구부와, 대향하는 측벽들과, 상단부와, 하단부와, 바닥부를 구비하고, 상기 실리콘 웨이퍼는 최상부 표면을 구비하도록 되어 있는 상기 트렌치를 완전히 충진(filling)하는 방법에 있어서,

- ⑧ 적어도 상기 트렌치 개구부에 인접한 상기 웨이퍼의 상기 최상부 표면위와 상기 트렌치속을 완전히 메울 수 있을 정도로 충진층-미 충진층은 게르마늄과 실리콘-게르마늄 합금으로 구성된 그룹에서 선택된 재료를 포함함-을 침착시키는 단계와,
- ⑨ 상기 충진층이 도전성을 나타내도록 상기 충진층을 As, P 및 B로 구성된 그룹에서 선택된 도편트로 도핑하는 단계와,
- ⑩ 상기 도핑된 충진층의 재료가 상기 트렌치속으로 충분히 흘러들어가서 상기 트렌치를 완전히 메울 수 있을 정도의 시간 동안, 상기 도핑된 충진층 재료의 산화를 방지하면서 상기 도핑된 충진층 재료의 용융 온도 이상이면서 상기 웨이퍼의 용융 온도 미만인 소정 온도로 상기 도핑된 충진층 재료를 열처리하는 단계를 포함하는

높은 종횡비를 갖는 트렌치를 완전히 충진하는 방법.

청구항 15. 제 14 항에 있어서,

상기 침착 단계 ⑧가 반응성 게르마늄 화합물 가스(a reactive germanium-compound gas)를 이용해 저암 화학 기상 성장법(LPCVD)으로 상기 충진층을 침착시키는 단계를 포함하고,

상기 도핑 단계 ⑨가 상기 충진재 침착 단계 ⑧ 동안에, AsH₃, PH₃ 및 B₂H₆로 구성된 그룹에서 선택된 화합물로 이루어진 도편트 가스와 상기 반응성 가스가 동시에 흐르도록 함으로써 상기 충진하는 방법.

청구항 16. 트렌치 캐페시터에 있어서,

- ⑩ 표면을 갖는 기판과,
- ⑪ 상기 기판내에 형성되며, 대향 측벽들과, 상단부와, 하단부와, 바닥부를 구비하여, 높은 종횡비를 갖는 트렌치와,
- ⑫ 상기 트렌치를 완전히 메우는 충진재-미 충진재는 게르마늄과 실리콘-게르마늄 합금으로 구성된 그룹에서 선택된 재료를 포함하며, 도전성 도편트로 도핑될-을 포함하는 트렌치 캐페시터.

청구항 17. 제 16 항에 있어서,

상기 트렌치의 상기 하단부의 대향 측벽들이 상기 상단부의 대향 측벽들보다 더 많이 이격되어 있어서 상기 트렌치가 병모양의 단면(a bottle-shaped cross-section)을 갖는 트렌치 캐페시터.

청구항 18. 제 16 항에 있어서,

상기 충진재의 하부에, 그리고 상기 트렌치의 측벽과 바닥부의 상부에 열 응력 감소층(a thermal-stress-reduction layer)-이 열 응력 감소층은 비결정 실리콘과 다결정 실리콘으로 구성된 그룹에서 선택된 재료를 포함함-을 더 포함하는

트렌치 캐패시터.

청구항 19. 제 16 항에 있어서,

상기 충진재의 하부에, 그리고 상기 트렌치의 측벽과 바닥부의 상부에 완충층-이 완충층은 비결정 실리콘, 다결정 실리콘, 게르마늄 및 실리콘-게르마늄 합금으로 구성된 그룹에서 선택된 재료를 포함함-을 더 포함하고, 상기 완충층의 상부에는 금속층을 더 포함하는

트렌치 캐패시터.

청구항 20. 제 18 항에 있어서,

상기 완충층이 적어도 100Å의 두께를 갖는 균일한 층인

트렌치 캐패시터.

청구항 21. 제 18 항에 있어서,

상기 완충층이 As, P 및 B로 구성된 그룹에서 선택된 재료로 도핑되는

트렌치 캐패시터.

청구항 22. 제 19 항에 있어서,

상기 완충층과 상기 금속층의 사이에 열 응력 감소층-이 열 응력 감소층은 비결정 실리콘과 다결정 실리콘으로 구성된 그룹에서 선택된 재료를 포함함-을 더 포함하는

트렌치 캐패시터.

청구항 23. 제 19 항에 있어서,

상기 금속층과 상기 충진재의 사이에 열 응력 감소층-이 열 응력 감소층은 비결정 실리콘과 다결정 실리콘으로 구성된 그룹에서 선택된 재료를 포함함-을 더 포함하는

트렌치 캐패시터.

청구항 24. 제 22 항에 있어서,

상기 열 응력 감소층이 100 내지 600Å 사이의 두께를 갖는

트렌치 캐패시터.

도면

BEST AVAILABLE COPY

FIG1

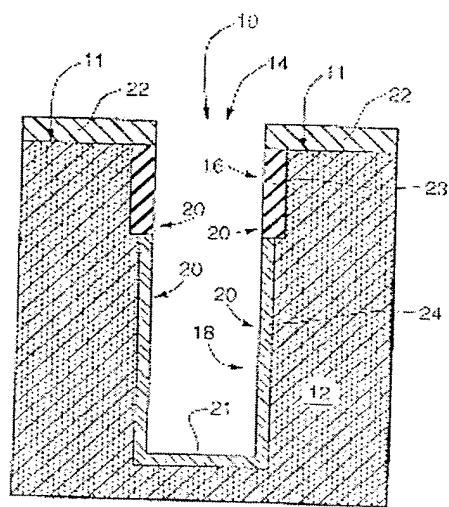
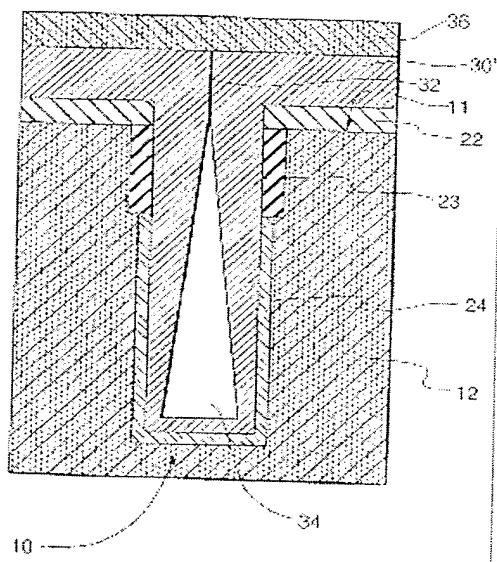
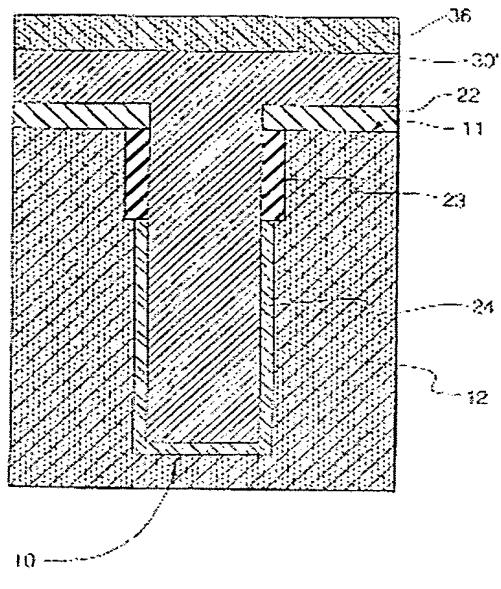


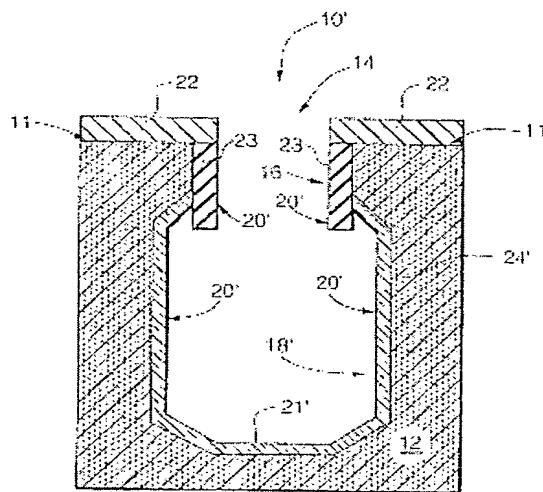
FIG2



583

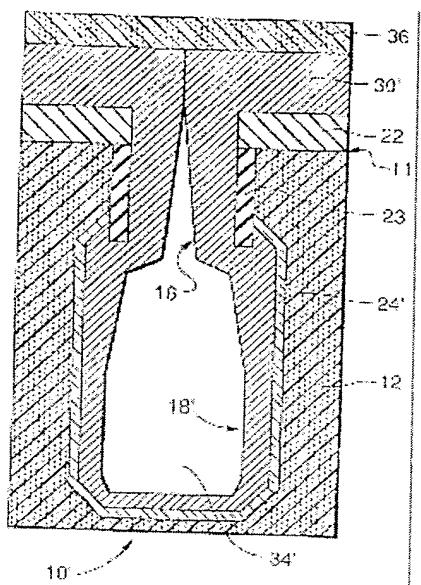


584



BEST AVAILABLE COPY

5.25



5.28

